

2/3,AB/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

013101528

WPI Acc No: 2000-273399/200024

Related WPI Acc No: 2002-668649

XRAM Acc No: C00-083544

XRPX Acc No: N00-204934

Nitride semiconductor device such as blue laser, comprises crystalline substrate with crystal plane of surface orientation different from a surface orientation of a primary surface, a semiconductor layered structure and an active region

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD (MATU); MATSUSHITA ELECTRONICS CORP (MATE); IMAFUJI O (IMAF-I); ISHIDA M (ISHI-I); NAKAMURA S (NAKA-I); ORITA K (ORIT-I); YURI M (YURI-I)

Inventor: IMAFUJI O; ISHIDA M; NAKAMURA S; ORITA K; YURI M

Number of Countries: 029 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 993048	A2	20000412	EP 99117485	A	19990910	200024 B
JP 2000156524	A	20000606	JP 99133844	A	19990514	200035
JP 2000353669	A	20001219	JP 99133844	A	19990514	200104
			JP 2000116072	A	19990514	
KR 2000023144	A	20000425	KR 9939325	A	19990914	200107
TW 423167	A	20010221	TW 99115832	A	19990914	200138
US 20020137249	A1	20020926	US 99395261	A	19990914	200265
EP 993048	B1	20021106	EP 99117485	A	19990910	200281
			EP 200211557	A	19990910	
DE 69903783	E	20021212	DE 603783	A	19990910	200306
			EP 99117485	A	19990910	
US 6617182	B2	20030909	US 99395261	A	19990914	200361
US 20030197166	A1	20031023	US 99395261	A	19990914	200370
			US 2003249116	A	20030317	

Priority Applications (No Type Date): JP 99133844 A 19990514; JP 98259907 A 19980914

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 993048 A2 E 32 H01L-029/04

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI

JP 2000156524 A 16 H01L-033/00

JP 2000353669 A 15 H01L-021/205 Div ex application JP 99133844

KR 2000023144 A H01L-033/00

TW 423167 A H01L-033/00

US 20020137249 A1 H01L-021/00

EP 993048 B1 E H01L-021/20 Related to application EP 200211557

Related to patent EP 1244141

Designated States (Regional): DE FR GB

DE 69903783 E H01L-021/20 Based on patent EP 993048

US 6617182 B2 H01L-021/00

US 20030197166 A1 H01L-047/00 Div ex application US 99395261

Abstract (Basic): EP 993048 A2

Abstract (Basic):

NOVELTY - A semiconductor device comprises: a crystalline substrate

(1) having a crystal plane provided within a primary surface so as to have a surface orientation different from a surface orientation of the primary surface; a semiconductor layered structure grown over the substrate; and an active region provided at a portion in the semiconductor layer structure above the crystal plane.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a method of fabricating a semiconductor device.

USE - Semiconductor device, particularly nitride semiconductor device such as a blue laser and a fast operation transistor.

ADVANTAGE - A semiconductor device is provided with a high degree of reliability and performance by reducing lattice defects in an active region of the device.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-sectional view of a semiconductor device of the invention.

Substrate (1)

n-type GaN layer (2)

n-type AlGaIn cladding layer (3)

Active layer (5)

Current constriction layer (8)

Linear lattice defects (110)

Low-defect region (120)

pp; 32 DwgNo 1/19

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156524

(P2000-156524A)

(43) 公開日 平成12年6月6日 (2000. 6. 6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 33/00		H 0 1 L 33/00	C
21/20		21/20	
21/205		21/205	
29/205		29/205	
21/338		29/80	B

審査請求 有 請求項の数30 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平11-133844
(22) 出願日 平成11年5月14日 (1999. 5. 14)
(31) 優先権主張番号 特願平10-259907
(32) 優先日 平成10年9月14日 (1998. 9. 14)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72) 発明者 石田 昌宏
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72) 発明者 中村 真嗣
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74) 代理人 100097445
弁理士 岩橋 文雄 (外2名)

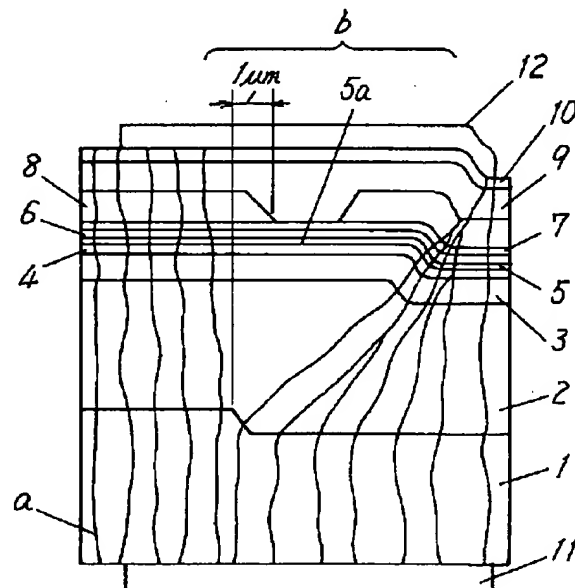
最終頁に続く

(54) 【発明の名称】 半導体装置、半導体基板とそれらの製造方法

(57) 【要約】

【課題】 半導体素子の能動領域の格子欠陥を低減し、信頼性が高く、高性能な半導体装置を提供することを目指す。

【解決手段】 格子欠陥aを有し、表面に段差を有する基板1と、前記基板1上に形成されるとともに前記段差上に低欠陥領域bを有するInGaN量子井戸よりなる活性層5と、前記基板1上に半導体素子とを備え、前記半導体素子の能動領域5aを前記低欠陥領域bに形成する。



【特許請求の範囲】

【請求項1】 格子欠陥を有し、表面に段差を有する第1の半導体層と、前記第1の半導体層上に形成されるとともに前記段差上に低欠陥領域を有する第2の半導体層と、前記第1の半導体層上に形成された半導体素子とを有し、前記半導体素子の能動領域が前記低欠陥領域に形成されていることを特徴とする半導体装置。

【請求項2】 前記能動領域が、前記第2の半導体層の平坦部に設けられたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の半導体層の表面が周期的な凹凸構造を有することを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】 前記第1の半導体層の主平面の法線と、前記段差部分における前記第1の半導体層の表面の法線とのなす角が90度以下であることを特徴とする請求項1ないし請求項3のいずれかに記載の半導体装置。

【請求項5】 格子欠陥を有し、表面に第1の段差を有する第1の半導体層と、前記第1の半導体層上に形成されるとともに表面に第2の段差を有しかつ前記第1の段差上に低欠陥領域を有する第2の半導体層と、前記第2の半導体層上に形成されるとともに、前記第2の段差上に低欠陥領域を有する第3の半導体層と、前記第2の半導体層上に形成された半導体素子とを有し、前記半導体素子の能動領域が第3の半導体層の低欠陥領域に形成されていることを特徴とする半導体装置。

【請求項6】 前記能動領域が、前記第3の半導体層の平坦部に設けられたことを特徴とする請求項5記載の半導体装置。

【請求項7】 前記第1の半導体層および前記第2の半導体層の表面が周期的な凹凸構造を有することを特徴とする請求項5または請求項6に記載の半導体装置。

【請求項8】 前記第1の半導体層の主平面の法線と、前記第1の段差部分における前記第1の半導体層の表面の法線とのなす角、または前記第2の半導体層の主平面の法線と、前記第2の段差部分における前記第2の半導体層の表面の法線とのなす角が90度以下であることを特徴とする請求項5ないし請求項7のいずれかに記載の半導体装置。

【請求項9】 前記能動領域に窒素原子が含まれていることを特徴とする請求項1ないし請求項8のいずれかに記載の半導体装置。

【請求項10】 前記能動領域が電界効果トランジスタのゲート領域であることを特徴とする請求項1ないし請求項9のいずれかに記載の半導体装置。

【請求項11】 前記能動領域が発光ダイオードまたはレーザの発光領域であることを特徴とする請求項1ないし請求項9のいずれかに記載の半導体装置。

【請求項12】 前記能動領域がバイポーラトランジスタのベース領域であることを特徴とする請求項1ないし

請求項9のいずれかに記載の半導体装置。

【請求項13】 前記能動領域がダイオードの接合領域であることを特徴とする請求項1ないし請求項9のいずれかに記載の半導体装置。

【請求項14】 前記第1の半導体層の表面は、周期的な凹凸構造を有し、少なくともその凸部が前記第1の半導体層の凹凸構造形成前の表面と同じ面方位を有さないことを特徴とする請求項1または請求項2に記載の半導体装置。

10 【請求項15】 前記第1の半導体層および前記第2の半導体層の表面は、周期的な凹凸構造を有し、少なくともその凸部が前記第1および2の半導体層の凹凸構造形成前の表面と同じ面方位を有さないことを特徴とする請求項5または請求項6に記載の半導体装置。

【請求項16】 請求項14、及び15記載の周期的な凹凸構造を作製する場合において、凹凸形成前の前記第1の半導体層表面と平行な面を有さない材料をマスク材として使用し、ドライエッチングを行うことを特徴とする半導体素子の製造方法。

20 【請求項17】 前記第1の半導体層の主平面の法線と、前記段差部分における前記第1の半導体層の表面の法線とのなす角が90度以上であることを特徴とする請求項1ないし請求項3のいずれかに記載の半導体装置。

【請求項18】 前記第1の半導体層の主平面の法線と、前記第1の段差部分における前記第1の半導体層の表面の法線とのなす角、または前記第2の半導体層の主平面の法線と、前記第2の段差部分における前記第2の半導体層の表面の法線とのなす角が90度以上であることを特徴とする請求項5ないし請求項7のいずれかに記載の半導体装置。

30 【請求項19】 前記第1の半導体層の主平面の法線と、前記段差部分における前記第1の半導体層の表面の法線とのなす角が90度以上であることを特徴とする請求項1ないし請求項3のいずれかに記載の半導体装置。

【請求項20】 前記第1の半導体層の主平面の法線と、前記第1の段差部分における前記第1の半導体層の表面の法線とのなす角、または前記第2の半導体層の主平面の法線と、前記第2の段差部分における前記第2の半導体層の表面の法線とのなす角が90度以上であることを特徴とする請求項5ないし請求項7のいずれかに記載の半導体装置。

40 【請求項21】 基板の上に、格子欠陥を有する一導電型の第1の窒化物系化合物半導体層と、前記第1の窒化物系化合物半導体層の上に形成されストライプ状の窓部を有する高抵抗もしくは前記第1の窒化物系化合物半導体層と異なる導電型の窒化物系化合物半導体からなる電流ブロック層と、前記電流ブロック層の窓部および上部に形成され前記第1の窒化物系化合物半導体層と同じ導電型の窒化物系化合物半導体からなる第1クラッド層と、前記第1クラッド層よりも禁制帯幅が小さい窒化物

系化合物半導体よりなる活性層と、前記活性層の上に形成され前記活性層よりも禁制帯幅が大きく前記第1の窒化物系化合物半導体層と異なる導電型の窒化物系化合物半導体よりなる第2のクラッド層を具備することを特徴とする半導体レーザ装置。

【請求項22】 前記第1クラッド層の屈折率が前記電流ブロック層の屈折率よりも大きいことを特徴とする請求項21に記載の半導体レーザ装置。

【請求項23】 前記第1の窒化物系化合物半導体層が $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)、前記電流ブロック層が $Al_xGa_{1-x}N$ ($0 \leq B \leq 1$)、前記第1クラッド層が $Al_xGa_{1-x}N$ ($0 \leq C \leq 1$) よりなり、BとCの間に、 $B > C$ なる関係が成り立つことを特徴とする請求項21に記載の半導体レーザ装置。

【請求項24】 格子欠陥を有し、表面に段差を有する結晶と、前記結晶上に形成されるとともに、前記段差上に低欠陥領域を有する半導体層により構成された半導体基板。

【請求項25】 格子欠陥を有し、表面に第1の段差を有する第1の結晶と、前記第1の結晶上に形成されるとともに表面に第2の段差を有しかつ前記第1の段差上に低欠陥領域を有する第2の結晶層と、前記第2の段差上に低欠陥領域を有する半導体層により構成された半導体基板。

【請求項26】 前記結晶が2層以上の結晶層により形成され、前記結晶の前記段差が表面にある層を1層以上超えて形成されていることを特徴とする請求項24に記載の半導体基板。

【請求項27】 表面に段差を有する結晶の表面が $Al_xGa_{1-x}N$ (ただし、 $0 \leq x \leq 1$) であって、前記 $Al_xGa_{1-x}N$ 上に 900°C を超える温度で $Al_xGa_{1-x}N$ 層 (ただし、 $0 \leq y \leq 1$) を成長する工程を有する半導体基板の作製方法。

【請求項28】 表面に段差を有する結晶の表面がサファイア、SiC、Si、GaAsのいずれかであり、 400°C 以上 900°C 以下の温度で第1の $Al_xGa_{1-x}N$ 層 (ただし、 $0 \leq x \leq 1$) を成長する第1の工程と、前記第1の $Al_xGa_{1-x}N$ 層上に 900°C を超える温度で第2の $Al_yGa_{1-y}N$ 層 (ただし、 $0 \leq y \leq 1$) を成長する第2の工程とを有する半導体基板の作製方法。

【請求項29】 前記 900°C を超える温度で成長される $Al_xGa_{1-x}N$ 層に導入される不純物密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以下であることを特徴とする請求項27あるいは28に記載の半導体基板の作製方法。

【請求項30】 前記 900°C を超える温度で成長される $Al_xGa_{1-x}N$ 層の成長におけるIII族原料に対するV族原料のモル供給比が200より大きいことを特徴とする請求項27あるいは28に記載の半導体基板の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に青色レーザや高速動作トランジスタなどの窒化物半導体装置に関するものである。

【0002】

【従来の技術】図4は、従来の半導体装置の断面を示す。ただし、構造を明瞭に示すため、断面のハッチングは省略している。図4において、サファイアで構成される基板1上にバッファ層1Aが設けられている。バッファ層1A上に、n型Ga_{0.9}N層2、n型Al_{0.1}GaNクラッド層3、n型Ga_{0.9}N光ガイド層4、i型InGa_{0.5}Nよりなる活性層5、p型Ga_{0.9}N光ガイド層6、第1のp型Al_{0.1}GaNクラッド層7、開口を有する電流狭窄層8、第2のp型Al_{0.1}GaNクラッド層9およびp型Ga_{0.9}Nコンタクト層10が順次形成されている。さらに、基板1にはn型電極11、またp型Ga_{0.9}Nコンタクト層10にはp型電極12がそれぞれ取り付けられている。

【0003】なお、バッファ層1Aは、基板1とn型Ga_{0.9}N層2の格子不整合を緩和し、結晶成長を容易にするために設けられたものであり、半導体素子の動作には直接的には関係しない。

【0004】この半導体装置は、活性層5が窒化物半導体であるために、n型電極11およびp型電極12に電圧を印加することにより、青色の光を発振するレーザとして使用することができる。

【0005】

【発明が解決しようとする課題】しかしながら、この従来の半導体装置では、図4に示すように基板1中に筋状に存在する格子欠陥aが、n型Ga_{0.9}N層2、n型Al_{0.1}GaNクラッド層3などの成長とともに上方に延びて、半導体レーザ素子の能動領域として働くi型Ga_{0.5}N活性層5における電流狭窄層8の開口部分に達している。

【0006】半導体レーザ素子のように、高電流注入を必要とする場合、格子欠陥の部分から劣化が始まり、半導体装置の寿命や信頼性を著しく低下させてしまう。

【0007】また、ここで説明した半導体レーザ素子の活性層だけではなく、例えば高速動作する半導体トランジスタ素子のゲート領域においても、このゲート領域に存在する格子欠陥によってキャリアの移動度が低下するため、半導体トランジスタ素子の性能を低下させてしまう。

【0008】このように、半導体レーザ素子の活性層や、トランジスタのゲート領域など、半導体素子の能動領域を担う部分に存在する格子欠陥は、半導体素子の性能劣化の原因となる。

【0009】本発明は、半導体素子の能動領域の格子欠陥を低減し、信頼性が高く、高性能な半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体装置は、

格子欠陥を有し、表面に段差を有する第1の半導体層と、前記第1の半導体層上に形成されるとともに前記段差上に低欠陥領域を有する第2の半導体層と、前記第1の半導体層上に形成された半導体素子を有し、前記半導体素子の能動領域が前記低欠陥領域に形成されたものである。

【0011】本発明により、第1の半導体層の段差の形状に応じて第2の半導体層の成長が進み、これに応じて筋状の格子欠陥の成長方向が、第1の半導体層の主面の法線方向に対して変化するため、第2の半導体層には、部分的に格子欠陥の密度が低い低欠陥領域が形成される。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。

【0013】（実施の形態1）図1は、本発明の実施の形態1における半導体装置の断面図である。図1において、六方晶のn型Ga_{0.9}N_{0.1}（0、0、0、1）基板から構成され、筋状の格子欠陥aを有し、表面に段差を有する基板1上に、厚さ5μmのn型Ga_{0.9}N_{0.1}層2が形成されている。また、n型Ga_{0.9}N_{0.1}層2上に、厚さ0.5μmのn型Al_{0.1}Ga_{0.9}Nクラッド層3（AlとGaの混晶比は10：90）、厚さ0.1μmのn型Ga_{0.9}N光ガイド層4、厚さ5nmのIn_{0.5}Ga_{0.5}N層（図示せず、InとGaの混晶比は5：95）と厚さ5nmのIn_{0.5}Ga_{0.5}N層（図示せず、InとGaの混晶比は15：85）とにより構成されたIn_{0.5}Ga_{0.5}N量子井戸よりなる活性層5、厚さ0.05μmのp型Ga_{0.9}N光ガイド層6、厚さ0.05μmの第1のp型Al_{0.1}Ga_{0.9}Nクラッド層7（AlとGaの混晶比は10：90）、幅2μmの開口を有する厚さ0.5μm電流狭窄層8を設ける。なお、In_{0.5}Ga_{0.5}N量子井戸よりなる活性層5における電流狭窄層8の開口部近傍は、半導体レーザ素子の能動領域5aを構成する。また、電流狭窄層8の導電型は、第1のp型Al_{0.1}Ga_{0.9}Nクラッド層7とは逆の導電型あるいは高抵抗型のものであればよい。また、電流狭窄層8の材料として、Ga_{0.9}N、Al_{0.1}Ga_{0.9}Nなどの半導体やAl_{0.1}N、Si_{0.1}O_{0.9}などの絶縁体を用いてもよい。さらに活性層5としてはIn_{0.5}Ga_{0.5}N量子井戸よりなる活性層を用いたが、量子井戸としては単一量子井戸でもよく、2重以上の多重量子井戸でもよい。また、活性層5としてバルク活性層を用いてもよい。

【0014】電流狭窄層8上には、厚さ1μmの第2のp型Al_{0.1}Ga_{0.9}Nクラッド層9（AlとGaの混晶比は10：90）、厚さ0.1μmのp型Ga_{0.9}Nコンタクト層10が順次形成されている。

【0015】さらに、基板1にはn型電極11、p型Ga_{0.9}Nコンタクト層10にはp型電極12がそれぞれ取り付けられており、n型電極11とp型電極12との間に電圧を印加することによりIn_{0.5}Ga_{0.5}N量子井戸よりなる

活性層5が発光する。

【0016】本実施の形態における半導体装置は、基板1の表面に段差を有するため、n型Ga_{0.9}N層2の結晶成長方向が、段差部分の傾きに応じて斜め方向となる。このため、筋状の格子欠陥aも同様に斜め方向に成長し、これにともないn型Ga_{0.9}N層2には格子欠陥aが比較的少ない領域である低欠陥領域bが形成されている。さらに、n型Ga_{0.9}N層2上に結晶成長するn型Al_{0.1}Ga_{0.9}Nクラッド層3、n型Ga_{0.9}N光ガイド層4、およびIn_{0.5}Ga_{0.5}N量子井戸よりなる活性層5におけるn型Ga_{0.9}N層2の低欠陥領域b上の部分も低欠陥領域bが形成されている。ここで、能動領域5aは、In_{0.5}Ga_{0.5}N量子井戸よりなる活性層5の低欠陥領域bに形成されているため、能動領域5a中の格子欠陥aは少ない。これにより、この半導体装置の信頼性が向上する。

【0017】なお、この能動領域5aは、In_{0.5}Ga_{0.5}N量子井戸よりなる活性層5の平坦な部分に形成することが望ましいことは言うまでもない。

【0018】また、基板1の表面に周期的な凹凸構造を設ければ、基板1上に低欠陥領域bを周期的に形成することができ、基板1上に周期的に半導体レーザ素子を形成することができ、半導体レーザ素子を効率よく生産することができる。

【0019】また、基板1の主平面の法線と、基板1の段差部分における基板1の表面の法線とがなす角の大きさが90度以下となるように基板1の表面の段差を成形すれば、n型Ga_{0.9}N層2を容易に成長できる。ここで、段差をこのように成形する方法について説明する。図2は、基板1の表面を加工する工程を示す。まず、図2（a）に示すように、基板1上の一部をマスク13で被覆する。次に、図2（b-1）に示すように、サイドエッチングの方法を用いて、マスク13に被覆されていない基板1の部分除去する。また、別の方法として、図2（a）に示すように基板1上の一部をマスク13で被覆した後、図2（b-2）に示すようにマスク自身がエッチングされるようなエッチングの条件を選択する方法が考えられる。

【0020】基板1の面方位としては、立方晶系結晶の（1、1、1）面、（-1、1、1）面、（1、-1、1）面、（-1、-1、1）面、（1、1、-1）面、（-1、1、-1）面、（1、-1、-1）面、（-1、-1、-1）面、あるいは六方晶系半導体の（0、0、0、1）面、（0、0、0、-1）面などを選択できる。

【0021】本実施の形態における半導体装置を形成するための、結晶成長の方法としては、有機金属気相成長（以下MOCVDという）法、分子線エピタキシャル成長（以下MBEという）法、ハイドライド気相成長（以下HVPEという）法、またはこれらの方法を組み合わせた方法を用いることができる。

【0022】次に、本実施の形態における半導体装置および従来の半導体装置について行ったライフテストの結果について説明する。このライフテストは、温度100℃で多数の半導体レーザ素子を定光出力動作させるものである。従来のレーザ素子は、ライフテスト開始後1000時間で約半数が動作不能となり、残り半数の半導体レーザ素子も、動作電流が平均50%上昇するなど、特性の著しい劣化が見られた。一方、本実施の形態における半導体レーザ素子は、ライフテスト開始1000時間後でも全数が動作し、動作電流の上昇は平均で2%であり、特性の飛躍的な向上が現れているといえる。

【0023】（実施の形態2）次に、本発明の実施の形態2における半導体装置について、その製造方法とともに図3を用いて説明する。

【0024】まず、図3（a）に示すように、サファイア（0、0、0、1）基板で構成された基板1上に、MOCVD法を用い、温度条件1000℃で厚さ5μmのAlN層14を形成する。AlN層14中には、AlNとサファイアとの格子定数の違いにより発生する格子欠陥aが存在している。

【0025】次に、図3（b）に示すように、リアクティブイオンエッチングにより、AlN層14の表面に第1の段差である凹凸14aを設ける。この凹凸14aの周期は10μm、凸部の上面の幅は2μm、深さは3μmである。また、この凹凸14aによって紙面垂直方向に形成される溝の方向は、〈1、1、-2、0〉である。

【0026】次に、図3（c）に示すように、AlN層14上にMOCVD法を用い、厚さ10μmのGaN層15を形成する。このとき、AlN層14の凹部上のGaN層15の格子欠陥aは、GaN層15の堆積の進行とともにAlN層14の凹部中央に向かって集結し、やがて1筋の格子欠陥aにまとまる。最終的にGaN層15の表面に存在する格子欠陥aは、AlN層14の凹部中央付近と、AlN層14の表面の凸部上付近のみであり、その他の領域は低欠陥領域bとなる。

【0027】GaN層15の表面に残った格子欠陥aの数をさらに減らす為に、図3（d）に示すように、リアクティブイオンエッチングにより、GaN層15の低欠陥領域bの一つおきに凸部ができるように、GaN層15に第2の段差である凹凸15aを設ける。この凹凸15aの周期、凸部の上面の幅、および深さは、それぞれ凹凸14aのものと同じである。そして、図3（e）に示すように、GaN層15上にHVPE法により厚さ20μmのGaN層16を形成する。このとき、AlN層14の凹部上のGaN層16の格子欠陥aは、GaN層16の堆積の進行とともにAlN層14の凹部中央に向かって集結し、やがて1筋の格子欠陥aにまとまる。これにより、格子欠陥aがさらに減少する。

【0028】最後に、図3（f）に示すように、GaN

層16の低欠陥領域b上にMOCVD法を用い、厚さ2μmのアンダーブレイクGaN層17、厚さ100Åのn型GaN層18を順次形成する。さらにこのn型GaN層18上に、ゲート電極19、ソース電極20、ドレイン電極21をそれぞれ設けることにより半導体トランジスタ素子を完成する。

【0029】なお、ゲート電極19には、Au、Ni、Pt、Pdおよびそれらの合金、化合物など、仕事関数が4.5eV以上、望ましくは5eV以上の導電体を用いるのが良い。ソース電極20および、ドレイン電極21には、Al、Ti、In、TiNおよびそれらの合金や化合物など、仕事関数が5eV以下、望ましくは4.5eV以下の導電体を用いるのが良い。

【0030】本実施の形態における半導体トランジスタ素子のゲート領域であるn型GaN層18のゲート電極19近傍は、低欠陥領域bで構成されるため、半導体トランジスタ素子の高速動作特性が向上する。

【0031】本実施の形態における半導体トランジスタ装置と、低欠陥領域を有しない従来の半導体トランジスタ素子についてカットオフ周波数を調べたところ、本実施の形態における半導体トランジスタ素子は、従来の半導体トランジスタ素子の4倍の周波数でも動作が可能であることがわかった。これは、半導体トランジスタ素子の能動領域であるゲート領域の格子欠陥が低減されたことによって電子の移動度が向上し、動作周波数が向上したものと考えられる。

【0032】また、本実施の形態における半導体トランジスタ素子と、従来の半導体トランジスタ素子をそれぞれ温度条件700℃で動作テストを行った結果、動作テスト開始後1000時間で従来の半導体トランジスタ素子は動作しなくなった。これに対して、本実施の形態における半導体トランジスタ素子は、1000時間経って高周波特性を維持した。

【0033】本実施の形態における半導体トランジスタ素子の凹凸14aにより形成される溝と、凹凸15aにより形成される溝は、共に紙面鉛直方向であるが、凹凸15aにより形成される溝を凹凸14aにより形成される溝に直交させれば、紙面鉛直方向にも格子欠陥aを集結させることができる。

【0034】また、凹凸の形状は、実施の形態において示した矩形の他、格子状、六角形のハニカム状、円形、不定形などの形状を用いることができる。

【0035】また、より広い低欠陥領域を得るには、凹凸の周期はできるだけ大きくする方がよい。

【0036】実施の形態においては、低欠陥領域に半導体レーザ素子の活性層や半導体トランジスタ素子のゲート領域を設けることについて説明したが、発光ダイオードの発光部またはバイポーラトランジスタのベース領域を設けても、同様の効果を得ることができる。

【0037】（実施の形態3）図5は、本発明の実施の

形態3における半導体装置の断面図である。図5において、六方晶のn型Ga_{0.9}Nよりなる、主面が(0、0、0、1)である基板1から構成され、筋状の格子欠陥aを有する。基板1の表面には、凸部が(0、0、0、1)と同じ面方位を有さない凹凸構造が形成されている。この凹凸構造を有する基板1上に、厚さ5μmのn型Ga_{0.9}N層2が形成されている。また、n型Ga_{0.9}N層2上に、厚さ0.5μmのn型AlGa_{0.1}Nクラッド層3 (AlとGaの混晶比は10:90)、厚さ0.1μmのn型Ga_{0.9}N光ガイド層4、厚さ5nmのInGa_{0.5}N層 (図示せず、InとGaの混晶比は5:95) と厚さ5nmのInGa_{0.5}N層 (図示せず、InとGaの混晶比は15:85) とにより構成されたInGa_{0.5}N量子井戸よりなる活性層5、厚さ0.05μmのp型Ga_{0.9}N光ガイド層6、厚さ0.05μmの第1のp型AlGa_{0.1}Nクラッド層7 (AlとGaの混晶比は10:90)、幅2μmの開口を有する厚さ0.5μmの電流狭窄層8を設ける。なお、InGa_{0.5}N量子井戸よりなる活性層5における電流狭窄層8の開口部近傍は、半導体レーザ素子の能動領域5aを構成する。また、電流狭窄層8の導電型は、第1のp型AlGa_{0.1}Nクラッド層7とは逆の導電型あるいは高抵抗型のものであればよい。また、電流狭窄層8の材料として、Ga_{0.9}N、AlGa_{0.1}Nなどの半導体やAl_{0.9}N、SiO₂などの絶縁体を用いてもよい。

【0038】電流狭窄層8上には、厚さ1μmの第2のp型AlGa_{0.1}Nクラッド層9 (AlとGaの混晶比は10:90)、厚さ0.1μmのp型Ga_{0.9}Nコンタクト層10が順次形成されている。

【0039】さらに、基板1にはn型電極11、p型Ga_{0.9}Nコンタクト層10にはp型電極12がそれぞれ取り付けられており、n型電極11とp型電極12との間に電圧を印加することによりInGa_{0.5}N量子井戸よりなる活性層5が発光する。

【0040】本実施の形態における半導体装置は、主面が(0、0、0、1)である基板1の表面に凸部が(0、0、0、1)と同じ面方位を有さない凹凸構造を有するため、n型Ga_{0.9}N層2の結晶成長方向が、段差部分の傾きに応じて斜め方向となる。このため、筋状の格子欠陥aも同様に斜め方向に成長し、これにともないn型Ga_{0.9}N層2には格子欠陥aが比較的少ない領域である低欠陥領域bが形成されている。これは、基板1からの(0、0、0、1)面に対し垂直方向に存在していた筋状の格子欠陥aをn型Ga_{0.9}N層2の結晶成長方向に曲げてやることにより低欠陥領域bが実現されている。ここで、能動領域5aを、低欠陥領域を含む部分に形成することにより、能動領域5a中の格子欠陥の数を低減することが可能となり、半導体装置の信頼性が向上する。なお、能動領域5aが、すべて低欠陥領域内に含まれば好ましいのは言うまでもない。例えば、能動領域5aを、基板1上に形成された凸部と同じ位置に形成することに

より、能動領域5a中の格子欠陥aをなくすることが可能となり、著しく半導体装置の信頼性が向上する。

【0041】また、基板1の表面に周期的な凹凸構造を設ければ、能動領域5aを周期的に形成することができ、基板1上に周期的に半導体レーザ素子を形成することができ、半導体レーザ素子を効率よく生産することができる。

【0042】次に、基板1の主平面 (実施の形態3では、(0、0、0、1)に相当する面) と同じ面方位を有さない凸部を形成する方法について説明する。図6は、基板1の表面を加工する工程を示す。まず、図6(a)に示すように、基板1上の一部をマスク材13で被覆する。ここで、マスク材13は、基板1の主平面と平行な面を有さない。次に、図6(b)に示すように、ドライエッチングにより基板1と同時にマスク材13もエッチングする。この構成によりマスク材が完全にエッチングされた段階で図6(c)に示すように、凸部が基板1の主平面と平行な面を有さない凹凸構造を基板1上に形成することが可能となる。

【0043】基板1の面方位としては、立方晶系結晶の(1、1、1)面、(-1、1、1)面、(1、-1、1)面、(-1、-1、1)面、(1、1、-1)面、(-1、1、-1)面、(1、-1、-1)面、(-1、-1、-1)面、あるいは六方晶系半導体の(0、0、0、1)面、(0、0、0、-1)面などを選択できる。

【0044】本実施の形態における半導体装置を形成するための、結晶成長の方法としては、MOCVD法、MBE法、HVPE法、またはこれらの方法を組み合わせた方法を用いることができる。

【0045】本実施の形態における半導体装置は、実施の形態1における半導体装置と同じライフテストの結果、1000時間経過した後の電流の増加率が平均で2%であり、信頼性の向上を確認できた。

【0046】(実施の形態4) 次に、本発明の実施の形態4における半導体装置について、その製造方法とともに図7を用いて説明する。

【0047】まず、図7(a)に示すように、サファイア(0、0、0、1)基板で構成された基板1上に、MOCVD法を用い、温度条件1000℃で厚さ5μmのAl_{0.9}N層14を形成する。Al_{0.9}N層14中には、Al_{0.9}Nとサファイアとの格子定数の違いにより発生する格子欠陥aが存在している。

【0048】次に、図7(b)に示すように、リアクティブイオンエッチングにより、Al_{0.9}N層14の表面に第1の段差である凹凸構造14aを設ける。この凹凸構造の凸部は、Al_{0.9}N層14の(0、0、0、1)面を有することなく形成される。この凹凸構造14aによって紙面垂直方向に形成される溝の方向として、<1、1、-2、0>を選択した。

【0049】次に、図7(c)に示すように、AlN層14上にMOCVD法を用い、厚さ10 μ mのGaN層15を形成する。このとき、AlN層14の凹部上のGaN層15の格子欠陥aは、GaN層15の堆積の進行とともにAlN層14の凹部中央に向かって集結し、やがて1筋の格子欠陥aにまとまる。最終的にGaN層15の表面に存在する格子欠陥aは、AlN層14の凹部中央付近のみであり、その他の領域は低欠陥領域bが形成される。

【0050】GaN層15の表面に残った格子欠陥aの数¹⁰をさらに減らす為に、図7(d)に示すように、リアクティブイオンエッチングにより、GaN層15の格子欠陥aが凹部に位置するように凸部が(0、0、0、1)面を有さない凹凸構造15aを形成する。この際凹凸構造15aの周期は凹凸構造14aの周期の2倍とする。そして、図7(e)に示すように、GaN層15上にHVPE法により厚さ20 μ mのGaN層16を形成する。このとき、GaN層15の凹部上のGaN層16の格子欠陥aは、GaN層16の堆積の進行とともにGaN層15の凹部中央に向かって集結し、やがて1筋の格子欠陥aにまとまる。これにより、格子欠陥aがさら²⁰に減少する。

【0051】最後に、図7(f)に示すように、GaN層16の低欠陥領域b上にMOCVD法を用い、厚さ2 μ mのアンダーブGaN層17、厚さ100Åのn型GaN層18を順次形成する。さらにこのn型GaN層18上に、ゲート電極19、ソース電極20、ドレイン電極21をそれぞれ設けることにより半導体トランジスタ素子を完成する。

【0052】本実施の形態による半導体装置は、実施³⁰の形態2における半導体装置と同等の最高動作周波数であり、従来の半導体装置に比べ、格子欠陥低減による最高動作周波数向上の効果が得られた。

【0053】なお、本実施の形態における凸部の形状は、基板1の主平面と同じ平面を有さなければよく、尖った形状や曲面形状あるいはそれらの組み合わせなど任意の形状でも、同様の欠陥低減効果がある。また、凹部の形状は平面、尖った形状、曲面あるいはそれらの組み合わせなど、任意の形状でも同様の欠陥低減効果がある。

【0054】(実施の形態5) 図8は、本発明の実施⁴⁰の形態5における半導体装置の断面図である。図8において、六方晶のn型GaN(0、0、0、1)基板1から構成され、表面には基板1の(0、0、0、1)面の法線と段差部分の表面の法線とのなす角の大きさが90度以上となるように段差を成形し、その上に厚さ5 μ mのn型GaN層2が形成されている。また、n型GaN層2上に、厚さ0.5 μ mのn型AlGaNクラッド層3(A1とGaの混晶比は10:90)、厚さ0.1 μ mのn型GaN光ガイド層4、厚さ5nmのInGaN層

(図示せず、InとGaの混晶比は5:95)と厚さ5nmのInGaN層(図示せず、InとGaの混晶比は15:85)とにより構成されたInGaN量子井戸よりなる活性層5、厚さ0.05 μ mのp型GaN光ガイド層6、厚さ0.05 μ mの第1のp型AlGaNクラッド層7(A1とGaの混晶比は10:90)、幅2 μ mの開口を有する厚さ0.5 μ mの電流狭窄層8を設ける。なお、InGaN量子井戸よりなる活性層5における電流狭窄層8の開口部近傍は、半導体レーザ素子の能⁵⁰動領域5aを構成する。また、電流狭窄層8の導電型は、第1のp型AlGaNクラッド層7とは逆の導電型あるいは高抵抗型のものであればよい。また、電流狭窄層8の材料として、GaN、AlGaNなどの半導体やAlN、SiO₂などの絶縁体を用いてもよい。

【0055】電流狭窄層8上には、厚さ1 μ mの第2のp型AlGaNクラッド層9(A1とGaの混晶比は10:90)、厚さ0.1 μ mのp型GaNコンタクト層10が順次形成されている。

【0056】さらに、基板1にはn型電極11、p型GaNコンタクト層10にはp型電極12がそれぞれ取り付けられており、n型電極11とp型電極12との間に電圧を印加することによりInGaN量子井戸よりなる活性層5が発光する。

【0057】本実施の形態における半導体装置は、主⁵⁵平面の法線と段差部分の表面の法線とのなす角の大きさが90度以上となるような段差を有する凹凸構造が形成されている。これにより、基板1に存在する筋状の格子欠陥aが、成長方向に進行することが妨げられ、凹凸構造の凹部からの格子欠陥を大幅に低減することができる。これに伴い、n型GaN層2には格子欠陥aが比較⁶⁰的少ない領域である低欠陥領域bが形成されている。さらに、n型GaN層2上に結晶成長するn型AlGaNクラッド層3、n型GaN光ガイド層4、およびInGaN量子井戸よりなる活性層5におけるn型GaN層2の低欠陥領域b上の部分も低欠陥領域bが形成されている。ここで、能動領域5aは、InGaN量子井戸よりなる活性層5の低欠陥領域bに形成されているため、能動領域5a中の格子欠陥aは少ない。これにより、この半導体装置の信頼性が向上する。

【0058】なお、この能動領域5aは、InGaN量子井戸よりなる活性層5の平坦な部分に形成することが望ましいことは言うまでもない。

【0059】また、基板1の表面に周期的な凹凸構造を設ければ、基板1上に低欠陥領域bを周期的に形成することができ、基板1上に周期的に半導体レーザ素子を形成することができ、半導体レーザ素子を効率よく生産⁶⁵することができる。

【0060】基板1の面方位としては、立方晶系結晶の(1、1、1)面、(-1、1、1)面、(1、-1、1)面、(-1、-1、1)面、(1、1、-1)面、

(-1, 1, -1)面、(1, -1, -1)面、(-1, -1, -1)面、あるいは六方晶系半導体の(0, 0, 0, 1)面、(0, 0, 0, -1)面などを選択できる。

【0061】本実施の形態における半導体装置を形成するための、結晶成長の方法としては、MOCVD法、MBE法、HVPE法、またはこれらの方法を組み合わせた方法を用いることができる。

【0062】本実施の形態における半導体装置について実施の形態1と同様のライフテストを行った結果、1000時間後でも全数が動作し動作電流の上昇は平均で2%であり、特性の飛躍的な向上が現れているといえる。

【0063】(実施の形態6)次に、本発明の実施の形態6における半導体装置について、その製造方法とともに図9を用いて説明する。

【0064】まず、図9(a)に示すように、サファイア(0, 0, 0, 1)基板で構成された基板1上に、MOCVD法を用い、温度条件1000°Cで厚さ5μmのAlN層14を形成する。AlN層14中には、AlNとサファイアとの格子定数の違いにより発生する格子欠陥aが存在している。

【0065】次に、図9(b)に示すように、AlN層14の表面に基板1の(0, 0, 0, 1)面の法線となす角の大きさが90度以上となるような段差を有する凹凸構造14aを設ける。この凹凸構造14aの周期は10μm、凸部の上面の幅は2μm、深さは3μmである。また、この凹凸構造14aによって紙面垂直方向に形成される溝の方向は、<1, 1, -2, 0>である。

【0066】次に、図9(c)に示すように、AlN層14上にMOCVD法を用い、厚さ10μmのGaN層15を形成する。このとき、段差近傍の欠陥は成長方向に進行することを妨げられ、GaN層15の表面に達しない。また、残りの凹部の欠陥はAlN層14の凹部上のGaN層15の格子欠陥aは、GaN層15の堆積の進行とともにAlN層14の凹部中央に向かって集結し、やがて1筋の格子欠陥aにまとまる。最終的にGaN層15の表面に存在する格子欠陥aは、AlN層14の凹部中央付近と、AlN層14の表面の凸部中央付近のみであり、その他の領域は低欠陥領域bとなる。

【0067】GaN層15の表面に残った格子欠陥aの数をさらに減らす為に、図9(d)に示すように、GaN層15の低欠陥領域bの一つおきに凸部ができるように、GaN層15に第2の段差である凹凸構造15aを設ける。この凹凸構造15aの周期、凸部の上面の幅、および深さは、それぞれ凹凸構造14aのものと同じである。このとき、(0, 0, 0, 1)面の法線と凹凸構造の段差のなす角の大きさは90度以上であることが望ましい。そして、図9(e)に示すように、GaN層15上にHVPE法により厚さ20μmのGaN層16を形成する。このとき、AlN層14の凹部上にあるGa

N層16の格子欠陥aのうち、段差近傍の欠陥は成長方向に進行することを妨げられる。また、残りの凹部の欠陥は、GaN層16の堆積の進行とともにAlN層14の凹部中央に向かって集結し、やがて1筋の格子欠陥aにまとまる。これにより、格子欠陥aがさらに減少する。

【0068】最後に、図9(f)に示すように、GaN層16の低欠陥領域b上にMOCVD法を用い、厚さ2μmのアンダーブGaN層17、厚さ100Åのn型GaN層18を順次形成する。さらにこのn型GaN層18上に、ゲート電極19、ソース電極20、ドレイン電極21をそれぞれ設けることにより半導体トランジスタ素子を完成する。

【0069】本実施の形態における半導体装置の最高動作周波数は、実施の形態2における半導体装置と同等であり、実施の形態2と同様、格子欠陥が低減されたことによって電子の移動度が向上し、動作周波数が向上したものと考えられる。

【0070】(実施の形態7)次に、本発明の実施の形態7における半導体レーザ装置について、図10を用いて説明する。

【0071】図10において、六方晶サファイア(0, 0, 0, 1)基板1の上に、厚さ0.05μmのAlNバッファ層22、厚さ1.0μmのn型GaN層23、幅約1.5μmのストライプ状の窓部Aを有する厚さ0.5μmの高抵抗Al_{0.1}Ga_{0.9}N電流ブロック層24が形成されている。AlNバッファ層22、n型GaN層23、電流ブロック層24の中にはほぼ基板1の法線方向に沿った筋状の格子欠陥aが形成されている。電流ブロック層24の窓部Aと上部Bには、n型Al_{0.1}Ga_{0.9}Nクラッド層3が形成されている。また、クラッド層3の上には、厚さ0.1μmのn型GaN光ガイド層4、厚さ5nmのIn_{0.05}Ga_{0.95}N層(図示せず)と厚さ5nmのIn_{0.05}Ga_{0.95}N層(図示せず)とにより構成されたInGaN量子井戸よりなる活性層5、厚さ0.05μmのp型GaN光ガイド層6、厚さ0.8μmのp型Al_{0.1}Ga_{0.9}Nクラッド層7、厚さ0.5μmのp型GaNコンタクト層10が形成されている。また、n型GaN層23とp型GaNコンタクト層10の上には、オーミック電極11および12がそれぞれ形成されており、オーミック電極11とオーミック電極12の間に電流を流すと、窓部Aの上部の活性層5が能動領域として発光し、電流を増加させるとやがてレーザ発振に至る。

【0072】本実施の形態においては、電流ブロック層24がその窓部Aにおいて段差を有するために、クラッド層3の結晶成長方向が窓部Aの側面の傾きに依りて斜め方向となる。このため、筋状の欠陥aも窓部Aにおいては斜め方向に成長し、欠陥の少ない領域bが形成されるときに、窓部Aの両側から斜めに成長してきた欠陥

どうしが窓部の中央付近で合流するため欠陥の本数が減少する。この結果、発光部分である窓部Aの上部の活性層を貫通する欠陥の本数が、窓部Aのない場合よりも大幅に低減され、半導体レーザ装置の寿命が向上する。事実、本実施の形態における半導体レーザ装置を、温度100℃、光出力30mWで定光出力連続動作させたところ、ほとんどのレーザが約1000時間経過しても動作電流の増加率2%以内の安定な動作を示し、信頼性の飛躍的な向上を確認できた。

【0073】また、本実施の形態における半導体レーザ装置では、電流ブロック層24をクラッド層3よりもA1組成の高いAlGa_xNで構成したが、電流ブロック層24をクラッド層3と同じあるいはクラッド層3よりも低いA1組成のAlGa_xNにしても、活性層を貫通する欠陥の本数を同様に低減できるため、信頼性の向上を図ることができる。しかしながら、本実施の形態のような構成にすることにより、窓部Aの屈折率が電流ブロック層24の屈折率よりも高くできるので、横方向にストライプ部で凸の実効屈折率差が形成でき、活性層で発生した光を効率良くストライプ内に閉じ込めることができるため、しきい値電流を低減する上で望ましい。

【0074】また、本実施の形態における半導体レーザ装置では、電流ブロック層24を高抵抗層としたが、p型層としてもよく、同様の効果を得ることができる。

【0075】さらに、各層の導電型を反転させる、すなわちGa_{1-x}N層23、クラッド層3をp型、電流ブロック層24を高抵抗またはn型、クラッド層7、コンタクト層10をn型の窒化物系化合物半導体で構成してもよい。

【0076】また、本実施の形態における半導体レーザ装置では、活性層をInGa_xN、それ以外の層をAl_{1-x}Ga_xN (0 ≤ x ≤ 1) で構成したが、一般に各層をB_{1-u}Al_vGa_wIn_{1-u-v-w}N (0 ≤ u ≤ 1, 0 ≤ v ≤ 1, 0 ≤ w ≤ 1) で表される窒化物系化合物半導体を用いても同様の効果を得ることができる。

【0077】(実施の形態8) 図11は、本発明の実施の形態8における半導体基板の断面図である。この基板の作製法を図12を用いて説明する。

【0078】図12(a)に示す結晶基板1は六方晶のGa_{1-x}N (0, 0, 0, 1) 基板であり、筋状の貫通転移が1 × 10⁸ cm⁻²の密度で表面にまで達している。結晶基板1上にフォトリソグラフィにより形成したフォトレジストによるマスク13を設置する(図12

(b))。本実施の形態では、フォトレジストの幅を8 μm、開口部を16 μmとする。BCl₃ガスによる反応性イオンエッチングを用いてマスクの開口部のみを深さ1 μmエッチングすることで、凸部の幅が7 μm、凹部の幅が17 μm、高さ1 μmのストライプ状の周期的な段差を作製する(図12(c))。凸部の幅が、フォトレジストの幅より狭くなったのは、Ga_{1-x}N基板1がサ

イドエッチングされたことによる。

【0079】マスク13を除去した後、この上に段差を被覆するGa_{1-x}N層25を成長する。成長法は特に限定するものではないが、本実施の形態では有機金属気相成長装置を用い、原料にはトリメチルガリウムとアンモニア、キャリアガスには水素を用いる。トリメチルガリウムとアンモニアのモル供給比がGa : N = 1 : 5500となるように原料を流し、1000℃でGa_{1-x}Nを成長する。この際の(0, 0, 0, 1)面上の成長速度は毎時2 μmで、3時間成長を行う(図12(d))。以上の成長によりGa_{1-x}N層25中の欠陥aは1筋にまとまり、低欠陥領域bが形成されている。

【0080】なお、マスク13の材料としては、本実施の形態のフォトレジストの他、SiO₂やAuなどが、また、反応性イオンエッチングのガスには本実施の形態のBCl₃の他、Cl₂やSiCl₄等、塩素を含むガスを用いることができる。

【0081】(実施の形態9) 図13は、本発明の実施の形態9における半導体基板の断面図である。

【0082】Ga_{1-x}N基板1に第8の実施の形態と全く同様の方法で、凸部の幅が7 μm、凹部の幅が17 μm、高さ1 μmのストライプ状の周期的な第1の段差を形成し、Ga_{1-x}N層25を3時間成長する。次に、基板1に段差を設けたのと同じ方法で、Ga_{1-x}N層25に凸部の幅が7 μm、凹部の幅が17 μm、高さ1 μmのストライプ状の周期的な第2の段差を形成する。この際、Ga_{1-x}N層25に形成する段差は、段差の凸部が低欠陥領域を含むように形成するか、好ましくは、凸部が完全に低欠陥領域内に収まるようにする。本実施の形態では、第1の段差と第2の段差を凹凸の周期方向に8 μmずらすことで凸部が完全に低欠陥領域内に収まるようにした。次に、Ga_{1-x}N層25の上にGa_{1-x}N層26を、Ga_{1-x}N層25と同じ条件で3時間成長する。

【0083】以上のように、段差形成と成長を繰り返すことで、Ga_{1-x}N層26にはGa_{1-x}N層25に比べ、より広い低欠陥領域が得られている。

【0084】(実施の形態10) 図14は、本発明の実施の形態10における結晶基板の断面図である。図14の結晶基板の作製法を図15を用いて説明する。

【0085】図15(a)における結晶基板1はGa_{1-x}N (0, 0, 0, 1) 基板である。結晶基板1上にAl_{1-x}Ga_xN層27を1.5 μm成長する(図15(b))。この際の結晶成長方法は特に限定するものではないが、本実施の形態では実施の形態8と同様の有機金属気相成長装置を用い、原料にトリメチルガリウムとトリメチルアルミニウムとアンモニアを用いて、GaとAlとNのモル供給比がGa : Al : N = 0.5 : 0.5 : 5500となるようにした。このとき、Al_{1-x}Ga_xN層27はクラックなどの発生が無く平坦である。つぎに、第8の実施の形態と全く同じ反応性イオン

エッチングにより、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27に高さ2 μm の千鳥格子状の段差を形成する(図15(c-1)、図15(c-2))。この段差は、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27の厚さより深く、底部はGaN基板1まで達している。 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 結晶層27の上に $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28を30 μm 成長する(図15(d))。このとき、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28には、実施の形態8と同様、低欠陥領域bが形成される。

【0086】これとは別に、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27に形成する段差の高さを1 μm とする以外は全く同様の方法で、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28を30 μm 成長した(図示せず)。この場合、段差形成時の段差の底部は $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27であって、GaN基板1は露出していない。このとき、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28の表面には、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28が30 μm と厚いために、GaNと $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ の格子定数差により生じたクラックが存在している。

【0087】以上実施の形態10で示したように、段差を $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27を超えて形成することでクラックが生じなくなる。段差を $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27を超えて形成した場合を詳細に調べると、図15(e)に模式的に示すように、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27とGaN基板1の格子不整合は、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27を格子状としたことで、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27内で緩和されている。また、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28の界面では格子が整合しているのに対し、GaN基板1と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28の界面で格子の不整合が生じている。このように、段差を $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層27を超えて形成することで、GaN基板1と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層28の格子定数差は緩和され、クラックを防止する効果があると考えられる。なお、以上のようなメカニズムから、本実施の形態の基板1にGaNを用い半導体層27、28に $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ を用いる以外にも、AlGaIn層27とAlGaIn層28の組成を変化させた場合や、そのほかの材料の組み合わせについても同様の効果が得られる。

【0088】(実施の形態11)以下、本発明の実施の形態11について図16と図17を用いて説明する。

【0089】結晶基板1として、欠陥密度がいずれも $1 \times 10^8 \text{ cm}^{-2}$ のGaN結晶基板、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 結晶基板、AlIn結晶基板を用い、半導体層25として、GaN、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 、AlInを用いて、すべての結晶基板と半導体層の組み合わせについて、実施の形態1と同様の実験を行った。この際、半導体層25の成長温度を700℃から1100℃まで変化させた。

【0090】いずれの組み合わせについても、半導体層25の成長温度が900℃を超えると図16(a)から(c)に示すように、段差が平坦に埋め込まれていくとともに、欠陥が屈曲し、低欠陥領域が形成されるが、900℃以下では、図17(a)から(c)に示すように

段差が平坦にならず、また、半導体層25中では欠陥が屈曲せず、欠陥の減少が見られない。以上のように、AlGaInにより構成された基板1上に段差を形成しAlGaInにより構成された半導体層25を成長する場合、段差の埋め込みを行い、かつ欠陥を横方向に屈曲させるためには、AlGaIn層25の成長温度として900℃を超える温度が必要である。

【0091】(実施の形態12)つぎに、本発明の実施の形態12について図18を用いて説明する。

【0092】基板1は、段差を有するサファイア基板である。本実施の形態では、サファイア基板1は表面が2°傾斜した(0, 0, 0, 1)であるサファイアを、水素ガスなどの還元雰囲気中で1300℃で10時間加熱することで作製する。このように加熱することで、サファイア傾斜基板中の原子オーダーの微小なステップが結合して、0.1 μm 以上の段差を有するステップとなる。

【0093】半導体層29は $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ である。半導体層29の成長温度を350℃から1000℃まで変化させたところ、成長温度が400℃未満では $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ は成長しなかった。また、900℃を超える温度では、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ は島状になってしまい、一様な層が得られなかった。そこで、半導体層29の成長温度は400℃以上900℃以下とする。

【0094】半導体層29は900℃以下の成長温度であるので、実施の形態11の図17に示したように、欠陥の屈曲が行われず低欠陥領域は形成されない。そこで、半導体層29を成長させた後に、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25を900℃以上の温度で成長することで、欠陥が屈曲し低欠陥領域が形成される。

【0095】なお、本実施の形態では段差は還元雰囲気中での加熱で形成したが、段差を実施の形態8と同様のエッチング等の方法を用いて形成しても同様であり、エッチング等の方法を用いれば、任意の面方位を有する基板に任意の形状を有する段差を形成できる。なお、本実施の形態では半導体層29および半導体層25として $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ を用いているが、半導体層29と半導体層25の組み合わせについて、GaNやAlInや他の組成のAlGaInの組み合わせを用いても同様の結果が得られる。また、半導体層25の膜厚は半導体層25が連続膜となればよく、好ましくは0.005 μm 以上あれば良い。なお、本実施の形態では $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25はステップ状になるので、半導体装置などで平坦な基板が必要な場合は $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 結晶層25を研磨するなどの方法により平坦化するなど行えばよい。

【0096】(実施の形態13)つぎに、本発明の実施の形態13について説明する。

【0097】結晶基板1として、段差を有する6H-SiC(0, 0, 0, 1)、Si(1, 1, 1)、GaAs(1, 1, 1)を用いる以外は実施の形態12と全く

同様に $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 結晶層29と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 結晶層25が順次成長した。なお、 SiC 、 Si 、 GaAs は半導体であるので、適切なウェットエッチングで容易に段差を形成することが可能である。

【0098】半導体層29の成長温度を 350°C から 1000°C まで変化させたところ、いずれの基板についても成長温度が 400°C 未満では $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ は成長せず、 900°C を超える温度では一様な $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 結晶層が得られなかった。そこで、半導体層29の成長温度は 400°C 以上 900°C 以下とする。

【0099】半導体層29は 900°C 以下の成長温度であるので、実施の形態11に示したように、欠陥の屈曲が行われず低欠陥領域は形成されない。そこで、半導体層29を成長させた後に、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25を 900°C 以上の温度で成長することで、欠陥が屈曲し低欠陥領域が形成される。

【0100】なお、基板1の面方位については、本実施の形態の様に特定の面方位を用いると、特定の面を有する半導体層を成長させることができるので好ましいが、任意の面方位についても同様の結果が得られる。また、 SiC の結晶構造についても、 6H-SiC 以外にも、 4H-SiC や 3C-SiC 等、他の結晶構造を有する SiC についても同様の結果が得られる。なお、本実施の形態では半導体層29および半導体層25として $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ を用いているが、半導体層29と半導体層25の組み合わせとして、 GaN や AlN や他の組成の AlGaIn を用いても同様の結果が得られる。

【0101】（実施の形態14）つぎに、本発明の実施の形態14について説明する。

【0102】実施の形態8と全く同様にして、六方晶の GaN （0、0、0、1）基板上にストライプ状の周期的な段差を作製する。

【0103】この上に段差を被覆する $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25が $6\mu\text{m}$ 成長する。 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25の成長の際、原料に Si あるいは Se あるいは Mg あるいは Zn を含む原料を導入することで、 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25中に不純物を導入した。本実施の形態では、実施の形態1と同様有機金属気相成長装置を用い、不純物を含む原料としてそれぞれ、モノシラン（ SiH_4 ）、セレン化水素（ H_2Se ）、ビスシクロペンタジエニルマグネシウム（ $(\text{C}_5\text{H}_5)_2\text{Mg}$ ）、ジメチルジンク（ $(\text{C}_2\text{H}_5)_2\text{Zn}$ ）を用いる。

【0104】 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25中の不純物濃度と段差上の表面状態との関係を調べた結果、いずれの不純物の場合も不純物濃度を $1 \times 10^{21} \text{ cm}^{-3}$ より大きくすると、段差上の表面に数 100 nm オーダーの凹凸が発生することが判明した。このような表面の凹凸により、基板上に半導体装置を形成した場合の膜の平坦性が悪く、所望の特性が得られないという問題が生じる。そこで、半導体装置などに用いる基板の製造方法としては、

不純物密度 $1 \times 10^{21} \text{ cm}^{-3}$ 以下とする必要がある。

【0105】なお、不純物を含む原料は本実施の形態で用いた原料に限らない。また、不純物に関しても、本実施の形態の Si の他に、 Ge 等の他のIV族元素を用いた場合や、本実施の形態の Se の他に、 O や S 等の他のVI族元素を用いた場合や、本実施の形態の Mg や Zn の他に、 Cd 等の他のII族あるいは金属元素を用いた場合も同様の結果が得られる。なお、本実施の形態では半導体層25は $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ であるが、任意の組成の AlGaIn や GaIn や AlIn を用いても同様の結果が得られる。

【0106】（実施の形態15）つぎに、本発明の実施の形態15について説明する。

【0107】実施の形態8と全く同様にして、六方晶の GaN （0、0、0、1）基板上にストライプ状の周期的な段差を作製する。

【0108】この上に段差を被覆する $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25を成長する。 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 層25の成長の際、 Ga と Al のモル供給量の和すなわちIII族のモル供給量と、 N のモル供給量すなわちV族のモル供給量の比が、 $\text{V族モル流量} / \text{III族モル流量} = 100 \sim 10000$ となるようにした。この際III族モル流量は一定とした。成長温度は 900°C から 1100°C である。

【0109】図19はV族モル供給量/III族モル供給量（以下V/III比と表記）と、幅 $5\mu\text{m}$ の溝を平坦に埋め込み成長するのに要する時間を調べた結果である。いずれの成長温度においても、V/III比を下げると溝を平坦に埋め込み成長するための時間が増大し、V/III比が200以下では図17と同様の成長様式となり、溝が平坦に埋め込み成長されないことが判明した。溝が平坦に埋め込み成長されない場合は、図17に示すように低欠陥領域が形成されない。したがって、低欠陥領域の形成にはV/III比が200より大きく、好ましくは1000以上必要である。

【0110】なお、本実施の形態では半導体層25として $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ を成長したが、他の組成の AlGaIn や GaIn 、 AlIn についても同様の結果が得られる。

【0111】

【発明の効果】以上のように、本発明の半導体装置は、低欠陥領域に半導体素子の能動領域を形成することにより、信頼性および性能を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体素子の断面を示す図

【図2】同半導体装置の製造方法を示す図

【図3】本発明の実施の形態2における半導体素子およびその製造方法を示す図

【図4】従来の半導体装置を示す図

【図5】本発明の実施の形態3における半導体素子の断面を示す図

21

22

【図6】同半導体装置の製造方法を示す図
 【図7】本発明の実施の形態4における半導体素子およびその製造方法を示す図
 【図8】本発明の実施の形態5における半導体素子の断面を示す図
 【図9】本発明の実施の形態6における半導体素子およびその製造方法を示す図
 【図10】本発明の実施の形態7における半導体素子の断面を示す図
 【図11】本発明の実施の形態8における半導体基板を示す図
 【図12】本発明の実施の形態8における半導体基板の製造方法を示す図
 【図13】本発明の実施の形態9における半導体基板を示す図
 【図14】本発明の実施の形態10における半導体基板を示す図
 【図15】本発明の実施の形態10における半導体基板作製プロセスを示す図
 【図16】本発明の実施の形態11において、成長温度が900℃を超えときの欠陥の挙動を示す図
 【図17】本発明の実施の形態11において、成長温度が900℃以下のときの欠陥の挙動を示す図
 【図18】本発明の実施の形態12における半導体基板を示す図
 【図19】本発明の実施の形態15において、V族モル流量/III族モル流量比と、幅5μmの溝を平坦に埋め込み成長するのに要する時間の関係を表した図

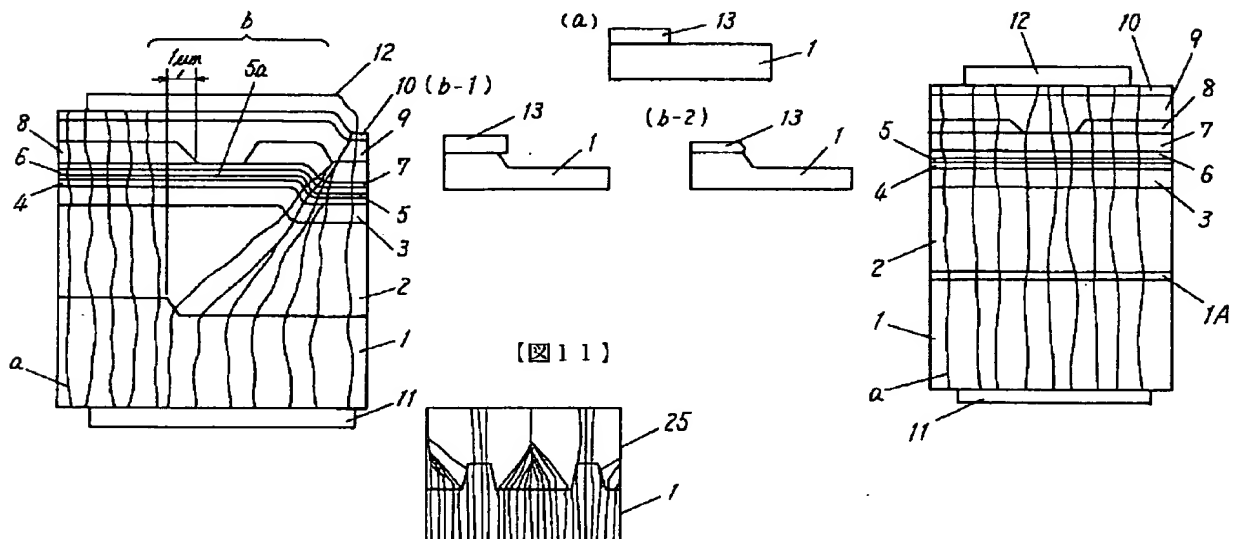
*【符号の説明】

- 1 基板
- 2 GaN層
- 3 n型AlGaInクラッド層
- 4 n型GaN光ガイド層
- 5 活性層
- 6 p型GaN光ガイド層
- 7 第1のp型AlGaInクラッド層
- 8 電流狭窄層
- 9 第2のp型AlGaInクラッド層
- 10 p型GaNコンタクト層
- 11 n型電極
- 12 p型電極
- 13 マスク
- 14 AlN層
- 14a、15a 凹凸
- 15、16 GaN層
- 17 アンダーブGaN層
- 18 n型GaN層
- 19 ゲート電極
- 20 ソース電極
- 21 ドレイン電極
- 22 AlNバッファ層
- 23 n型GaN層
- 24 AlGaIn電流ブロック層
- 25、26 半導体層
- 27、28 AlGaIn層
- 29 AlGaIn層

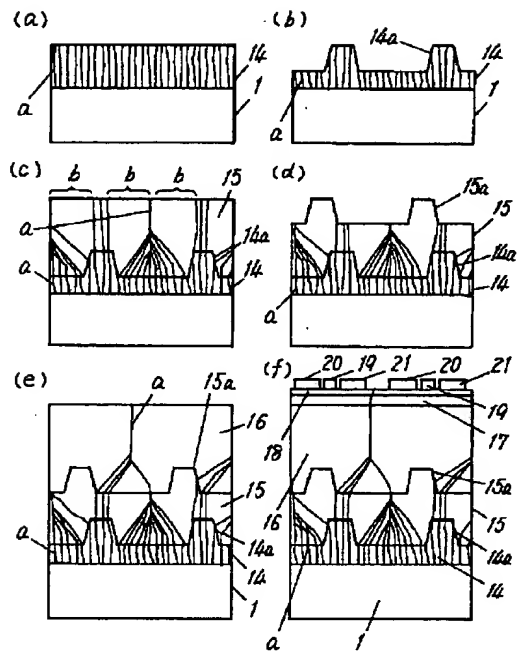
【図1】

【図2】

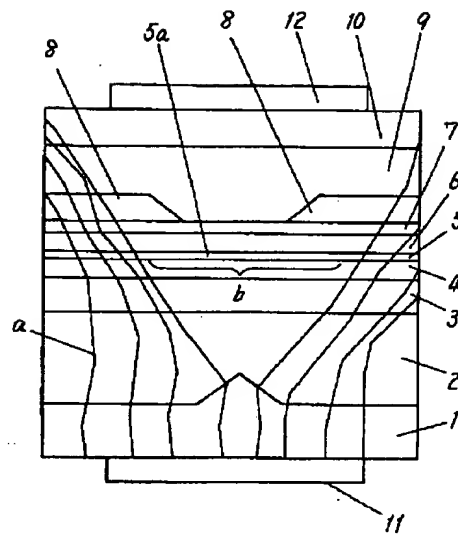
【図4】



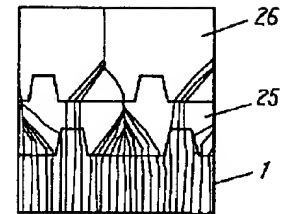
【図3】



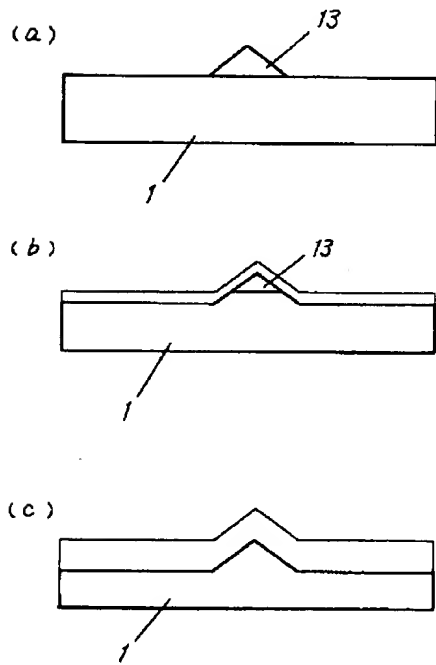
【図5】



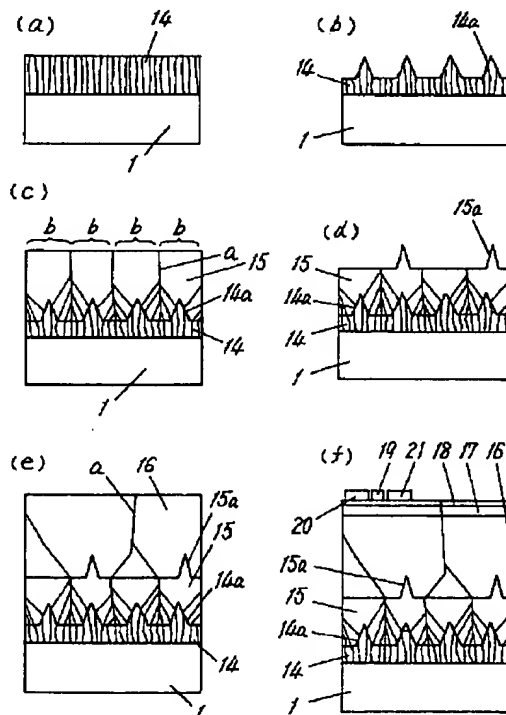
【図13】



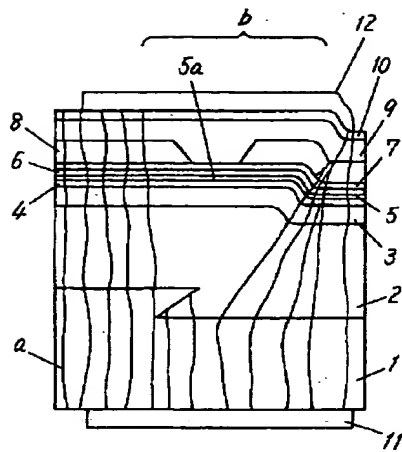
【図6】



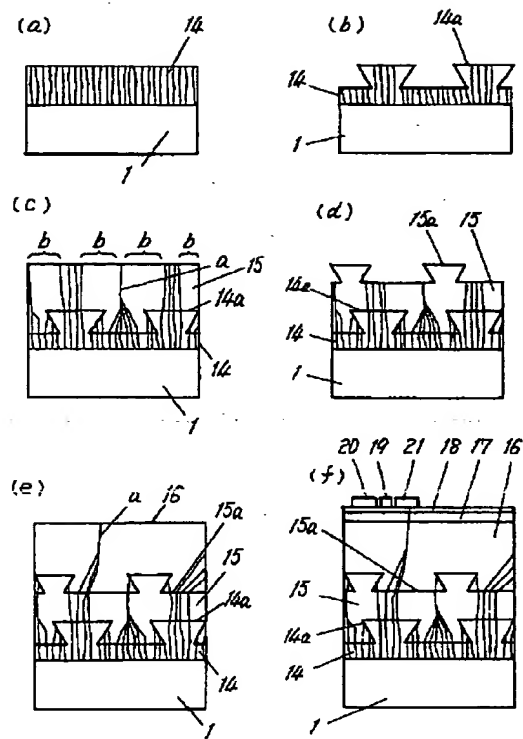
【図7】



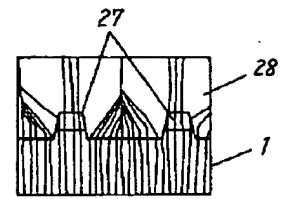
【図8】



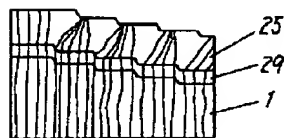
【図9】



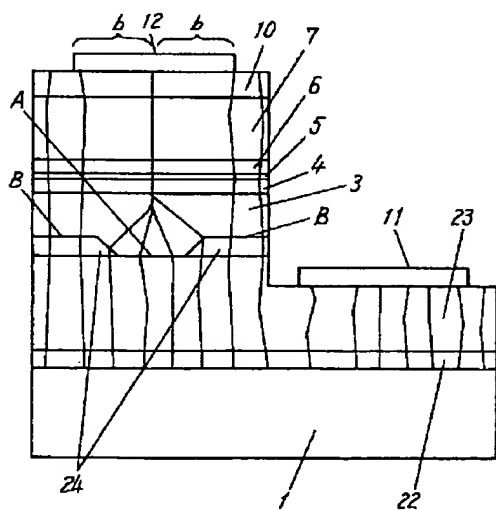
【図14】



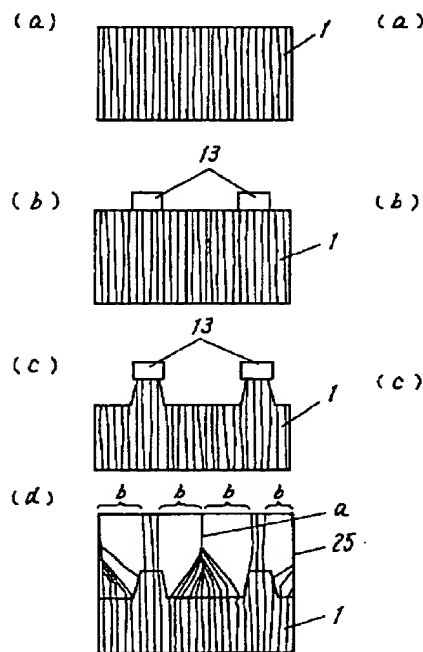
【図18】



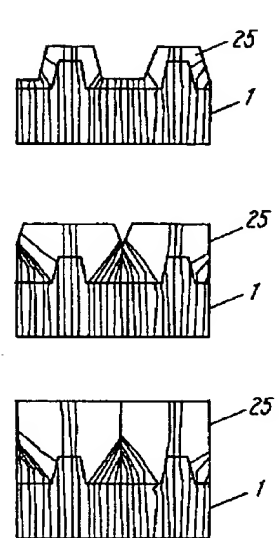
【図10】



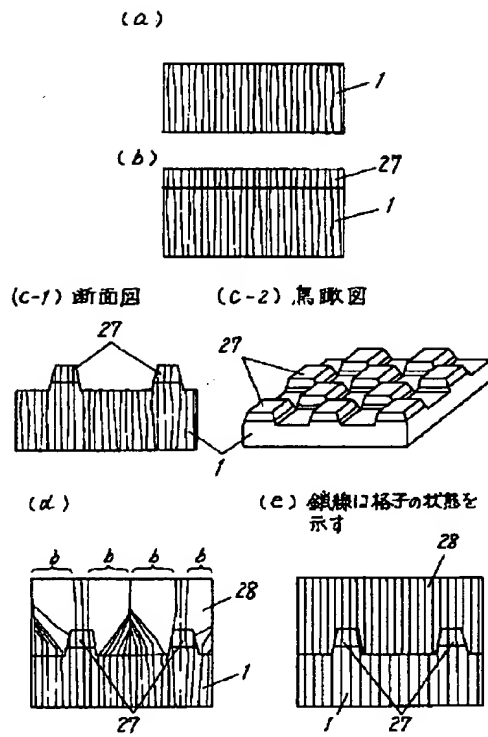
【図12】



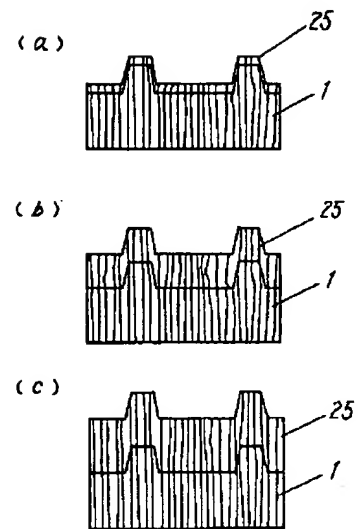
【図16】



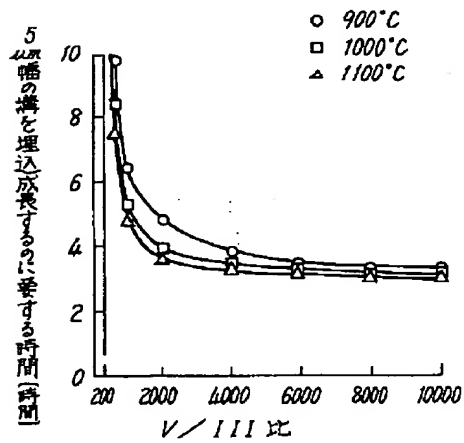
【図15】



【図17】



【図19】



フロントページの続き

(51)Int.Cl.⁷

H01L 29/812

29/861

H01S 5/323

識別記号

FI

H01L 29/91

H01S 3/18

キーワード(参考)

C

673

(72)発明者 折田 賢児
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 今藤 修
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 油利 正昭
大阪府高槻市幸町1番1号 松下電子工業
株式会社内